

Partiel VHDL/Synthèse

ISIMA 2

P. Wodey

Lundi 5 Décembre 2005

Exercice 1 : Comptage du nombre de bits à 1 dans un vecteur.

Nous considérons un circuit qui calcule en résultat, sur n bits, le nombre de bits à 1 d'un vecteur en donnée de 2^n bits.

Questions :

1. choisir le protocole de communication de ce circuit avec son environnement,
2. définir le symbole et les entrées/sorties du circuit,
3. définir l'entité avec la taille des registres générique en utilisant la bibliothèque IEEE et le package `std_logic_1164`.
4. on dispose de l'opération $+$ sur les vecteurs de bits (on peut par exemple écrire $A+1$ ou $A+x$, où A est un vecteur et x un bit). Faire le modèle BCA du circuit ;
5. donner les éléments de principe du modèle RTL, sans en développer le code VHDL (structure de la PO, séquenceur).

Exercice 2 : Questions diverses.

1. faire le modèle structurel d'un registre n bits constitué de n bascules DFF_AR ;
2. expliquer l'utilité d'une fonction de résolution ;
3. écrire en VHDL le modèle de l'entité et celui de l'architecture flot de donnée d'une UAL qui réalise, sur deux opérandes `op1` et `op2`, en fonction d'une entrée de sélection sur 2 bits, soit la somme, soit la soustraction `op1 - op2`, soit la soustraction `op2 - op1`, soit, finalement, renvoie la valeur nulle.